

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-266315

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

H01L 29/786

(21)Application number : 08-075620

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.03.1996

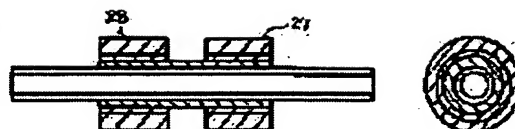
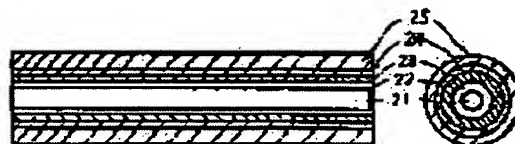
(72)Inventor : UCHIKOGA SHIYUICHI
UEDA TOMOMASA

(54) THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve redundancy and productivity in forming a roll by forming a gate insulating film, a semiconductor layer and source-drain electrodes on the surface of a gate electrode that comprises linear conductor material.

SOLUTION: Low resistance such as materials Cu, Al, W, Ta and Al are used for a conductive metal wire 21. A gate insulating film 22, a semiconductor layer 23, a contact layer 24 and a source-drain electrode material 25 are formed on the metal wire so that the metal wire is covered with them. Such as an Si oxide film, an Si nitride film or the lamination of these, or the anodized film of the metal wire are used as the gate insulating film 22, an a-Si:H layer or a poly-Si layer is used as the semiconductor layer 23 and a P doped a-Si:H is used as the contact layer 24. After forming the source-drain electrodes, a resist for separating elements is formed, and after the separation of the element is completed, the resist is peeled off. Then the contact layer is etched to form a source region and a drain region 27 and 28 using the formed source-drain electrode as the mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-266315

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl.⁶

H 0 1 L 29/786

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 2 6 Z

6 1 6 T

6 1 7 K

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平8-75620

(22) 出願日 平成8年(1996)3月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 内古閑 修一

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72) 発明者 上田 知正

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

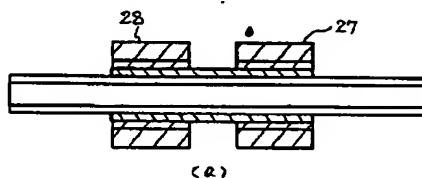
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 薄膜トランジスタ及び液晶表示装置

(57) 【要約】

【課題】 薄膜トランジスタを金属線上に形成し、薄膜トランジスタのプロセス温度に依存しない基板選択を可能にすることと、薄膜トランジスタを金属線上に複数個作成し、薄膜トランジスタのロールを作成することで冗長性、生産性を向上させる。

【解決手段】 金属線材料上に金属線を被覆するようにゲート絶縁膜、半導体層、ソース・ドレイン電極を形成する。



【特許請求の範囲】

【請求項1】線状の導電性材料からなるゲート電極と、このゲート電極表面に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に離間して形成されたソース・ドレイン電極とを具備することを特徴とする薄膜トランジスタ。

【請求項2】前記ゲート絶縁膜、前記半導体層および前記ソース・ドレイン電極が前記導電性材料を被覆するように、前記導電性材料の中心と同軸上に形成されていることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】絶縁性の表面に画素電極及びこの画素電極を駆動するスイッチングトランジスタが形成されたアレイベースと、この基板に対向して配置され対向する面に共通電極が形成された対向基板と、前記アレイベース及び対向基板間に介在して形成された液晶層とを具備する液晶表示装置において、前記スイッチングトランジスタは前記アレイベースの表面に形成された溝に形成され、且つ線状の導電性材料からなるゲート電極と、このゲート電極表面に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に離間して形成されたソース・ドレイン電極とを具備することを特徴とする液晶表示装置。

【請求項4】前記スイッチングトランジスタは、前記ゲート絶縁膜、前記半導体層および前記ソース・ドレイン電極が前記導電性材料を被覆するように、前記導電性材料の中心と同軸上に形成されていることを特徴とする請求項3に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、全く新しい構造の薄膜トランジスタ及びこれを用いた液晶表示装置に関する。

【0002】

【従来の技術】薄膜トランジスタは液晶表示装置やイメージセンサー等に使用されている。ここで図1にアクティブマトリックス型液晶表示装置の従来アレイベース構造を示す。図1(a)および(b)はそれぞれ、アレイベースの平面図および一画素分の断面図である。アレイベースには画素電極と画素電位を制御する薄膜トランジスタが形成されている。薄膜トランジスタはゲート電極16、ソース・ドレイン電極22からなる電界効果型トランジスタである。ゲート電極16をガラス基板14上に形成した後、ゲート絶縁膜17、半導体層18を順次形成して薄膜トランジスタを構成する膜を堆積する。ゲート絶縁膜17として、シリコン酸化膜やシリコン窒化膜を用い、半導体層18として、水素化された非晶質シリコン(a-Si:H)を使用する。このような膜の堆積温度は、PECVD (Plasma Enhanced-Chemical Vapor Deposition) を用いることで200℃から400℃程度となり、基板14としてガラスを使用できる事が特徴である。結晶シリコ

ンまたはポリシリコンを用いた薄膜トランジスタ製造プロセスに比べ大幅に、低温化する事に成功した。

【0003】しかし、一般にガラス基板14に熱が加わると熱収縮による変形が生じる。熱収縮が生じることで、パターンングのライント精度が劣化する。例えば、ゲートパターンを形成した後、ゲート絶縁膜17、半導体層18、チャネル保護層19等を堆積する時に、基板を200℃から400℃程度に昇温する。基板17温度の昇温により、熱収縮が発生する。熱収縮による基板変形が大きい場合、ゲート電極パターンに対するチャネル保護層パターンのライントを正常に行うことができない。基板の熱収縮によるライント問題を解決するために、ガラス基板の歪点が大きいものを使用しなくてはならない。この意味で、液晶表示装置にはガラス基板の選定が必要であった。

【0004】基板の大きさ、ライント精度によっては熱収縮が問題にならない場合もある。しかし、この場合でも、ガラスから拡散する不純物が問題になる。例えば、ガラスを製造する上で、各種の不純物が添加される。これらガラス中の不純物はプロセス温度により拡散し、基板上の薄膜トランジスタを構成する膜中に拡散する。特に、Naなどのアルカリイオンは可動イオンとして振る舞い、薄膜トランジスタの閾値変動に大きく影響し、薄膜トランジスタ等の画素電位のスイッチング素子の信頼性を劣化させる。従って、低コストなソーダライムガラスなどを使用することはできず、低アルカリガラスや無アルカリガラスを使用する必要がある。

【0005】上述した様な熱収縮、不純物拡散の問題を解決するには、不純物の含有量の低いガラス基板を選択するか、プロセス温度を低温化する必要がある。不純物含有量の低いガラスは一般に高価であり、液晶表示装置のコスト上昇を招く。一方、プロセス温度の低温化は薄膜トランジスタ等の素子特性を劣化させることを意味する。成膜の低温化は一般に膜中の電気的な欠陥準位を増加させ膜質が劣化する。この意味で、容易にプロセスの低温化は実現できない。

【0006】さらに、将来の液晶表示用基板の仕様として、軽量性、耐衝撃性が求められる。例えば、携帯用端末やdocument viewerは今後発展するマルチメディアには欠かせないハードウェアである。これらの機器は携帯用であるために軽量性、耐衝撃性が必須である。また、大型ディスプレイにおいて、基板サイズが大きくなるために基板重量の増加を無視することはできない。従って、ディスプレイ基板としてプラスチックなど比重の低い基板を使用することが望ましい。

【0007】プラスチック基板は、その組成から熱分解や熱変形がガラスに比べ低温で生じる。透過型液晶表示装置に用いる透明プラスチック基板の耐熱性は一般に200℃以下である。従って、プラスチック基板を用いて、成膜温度が200℃から400℃程度である、a-Si:Hやポリシリコンの薄膜トランジスタによるアクティブマ

トリックス型液晶表示装置の製造は困難である。

【0008】薄膜トランジスタを用いたアクティブマトリックス型液晶表示装置は、単純マトリックス、MIM素子を用いたアクティブマトリックスなど、他の表示方式に比べ、表示品位が一般に高い。この意味で、将来のディスプレイは、FET型の薄膜トランジスタを用いたアクティブマトリックスが必要である。しかし、薄膜トランジスタを製造するためには高温プロセスを用いる必要があることから、使用できる基板材料が限定されていた。

【0009】更に、薄膜トランジスタの製造は他の方式に比べ工程数が多い。例えば、図1に示した薄膜トランジスタを用いた液晶表示素子はMIM型の二端子素子の場合や単純マトリックス型表示装置に比べ工程数はかなり多い。工程異常による歩留まり低下を考えると、アレ基板工程数が少ない方が一般に生産性が高い。この意味で、薄膜トランジスタを用いた液晶表示装置は高品質の画像を得ることができるが、工程数が多いということで生産性は他の方式に比べて劣る。薄膜トランジスタを用いた液晶表示装置に於いて、薄膜トランジスタの形成に最も微細加工が必要になる。薄膜トランジスタは9インチ級ディスプレイにおいて106個程度作成される。表示欠陥の無い表示装置は、全ての薄膜トランジスタが正常に作動することを意味する。規定以上の薄膜トランジスタが不良の場合、基板すべてを破棄する必要がある。

【0010】更に、従来の技術では、対角サイズの異なる液晶表示装置を製造する場合、薄膜トランジスタの形状が同一であっても、製造する対角サイズに合わせたフォトリソが必要であった。即ち、9インチ級の液晶表示装置に用いられる薄膜トランジスタ形状と、12インチ級の液晶表示装置の薄膜トランジスタ形状が同一な場合、作成する基板サイズに合わせ、フォトリソを全ての製品に合わせ大きさだけ変更して作り直す必要があり、無駄であった。

【0011】

【発明が解決しようとする課題】従来の薄膜トランジスタは、形成する下地となる材料である基板に直接形成していたために使用できる基板の種類に限定が多かった。また、薄膜トランジスタを基板に形成するので、途中の工程、最終工程で不良が発生すると基板ごと廃棄するために生産性が悪く、コスト上昇の原因となっていた。更に、同一の薄膜トランジスタ構造を有する場合でも表示装置の対角サイズに合わせ全ての場合にフォトリソを作成する必要があった。

【0012】本発明は、上記問題点に鑑みてなされたもので、コスト上昇することなくあらゆる基板への複数使用を可能にし、複雑な製造工程を不要とした新型の薄膜トランジスタ及び液晶表示装置を提供する事を目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明は、線状の導電性材料からなるゲート電極と、このゲート電極表面に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に離間して形成されたソース・ドレイン電極とを具備することを特徴とする薄膜トランジスタを提供するものである。

【0014】また、請求項2の発明は、請求項1において、前記ゲート絶縁膜、前記半導体層および前記ソース・ドレイン電極が前記導電性材料を被覆するように、前記導電性材料の中心と同軸上に形成されていることを特徴とする薄膜トランジスタを提供するものである。

【0015】さらに、請求項3の発明は、絶縁性の表面に画素電極及びこの画素電極を駆動するスイッチングトランジスタが形成されたアレ基板と、この基板に対向して配置され対向する面に共通電極が形成された対向基板と、前記アレ基板及び対向基板間に介在して形成された液晶層とを具備する液晶表示装置において、前記スイッチングトランジスタは前記アレ基板の表面に形成された溝に形成され、且つ線状の導電性材料からなるゲート電極と、このゲート電極表面に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成された半導体層と、この半導体層上に離間して形成されたソース・ドレイン電極とを具備することを特徴とする液晶表示装置を提供するものである。

【0016】また、請求項4の発明は、請求項3において、前記スイッチングトランジスタは、前記ゲート絶縁膜、前記半導体層および前記ソース・ドレイン電極が前記導電性材料を被覆するように、前記導電性材料の中心と同軸上に形成されていることを特徴とする液晶表示装置を提供するものである。

【0017】

【発明の実施の形態】

（発明の実施の形態1）図3～図6を用いて、針金上の薄膜トランジスタ製造方法を具体的に説明する。図のうち、(a)は金属線の中心と平行な面での断面図、(b)はこの中心と直行する面での断面図である。導電性の金属線21として低抵抗なCu、Al、W、Ta、Au線等を使用する。金属線21に対して、図4に示すように、ゲート絶縁膜22、半導体層23、コンタクト層24とソース・ドレイン電極材料25を金属線を被覆するように形成する。ゲート絶縁膜22として例えば、シリコン酸化膜、シリコン窒化膜またはこれらの積層、または金属線の陽極酸化膜などを用いれば良い。また、半導体層23としてa-Si:H層やポリシリコン層等を用いればよい。コンタクト層24としてPをドーパしたa-Si:H等を使用すれば良い。これらの膜は層間のショートが生じない限り、同心円状である必要はなく、偏心した状態であっても良い。また、断面が、多角形であっても良い。

【0018】次に、ソース・ドレイン電極を図5に示す様に形成した後に、素子分離のためのレジスト26を形成する。素子分離が終了した後、レジストを剥離する。次に形成されているソース・ドレイン電極をマスクにコンタクト層をエッチングし、ソース領域とドレイン領域27、28を形成する。

【0019】（発明の実施の形態2）図7は本発明の薄膜トランジスタを液晶表示装置に用いる実施例を示す。薄膜トランジスタを複数個作成した金属線31を溝付き基板32に行方向に埋め込む。この時、金属線上の薄膜トランジスタは画素電極のピッチに適合した間隔で形成されている必要がある。埋め込んだ薄膜トランジスタに表示用の画素電極33を形成し、信号線電極を埋め込んだ金属線31に対して列方向に形成し、アクティブマトリックス型のアレイ基板を作成する。金属線がゲート電極の役割を果たし、薄膜トランジスタのオン・オフを制御する。そして、この薄膜トランジスタは、画素電極に電圧を印加するスイッチングトランジスタの役割を果たす。

【0020】この様にして作成した薄膜トランジスタを用いて液晶表示装置の製造方法をさらに具体的に示す。図8に示す様に、薄膜トランジスタが複数個形成された金属線41を予め溝42を設けた基板に図の様に固定する。溝42は機械的に作成またはフォトリソグラフィによって形成すればよい。

【0021】次に、図示していないが表示電極材料を基板に堆積させ、所望の画素電極構造にパターニングを行う。この時に、薄膜トランジスタのドレイン電極に例えば重ねる等して接続される様に形成する。

【0022】次に図示していないが信号線材料をスパッタ法等で堆積し、薄膜トランジスタを設けた金属線51に直行するようにこの堆積させた信号線材料をエッチング加工して信号線を形成し、信号線とソース電極が接続する様に形成する。ゲート線に対応する金属線のコンタクトパッドを形成するために、信号線材料を堆積する前に、ゲート絶縁膜を一部エッチングし、コンタクトホールを形成しておく必要がある。以上の工程を経て、図7に示したアレイ基板を作成する。このアレイ基板と内側に透明電極を全面に形成した対向基板との間に液晶を介在させて、液晶表示装置が完成する。

【0023】本発明の薄膜トランジスタの特徴は次の通り。前述した液晶表示装置への適用で示したように、基板温度を上昇させる必要がないことである。画素電極材料や、信号線材料を堆積させるのに昇温は必要ではない。昇温が必要である場合も表示電極材料や信号線材料の堆積温度は100℃程度で従来の最高プロセス温度に比較すると低い。良好な特性を得るために高温プロセスが必要な薄膜トランジスタ製造プロセスは金属線上で完結されるので、基板温度に影響を与えない。基板温度を上昇させることなく薄膜トランジスタ・アクティブマト

リックス型液晶表示装置が製造可能であり、用いる基板材料の選択範囲が広がる。特に、プラスチック基板等の軽量、対衝撃性の強い基板を使用可能にする。さらに、工程数の多い薄膜トランジスタを基板上に作成しないのでアレイ基板の生産性が向上する。

【0024】次に、針金状の薄膜トランジスタの作成方法は従来方法に比べ工程が簡単である。上述した、薄膜トランジスタのパターニング数は2回で、大幅に従来の工程数を削減することができる。パターン形成法も従来に比べ容易である。従来、パターニングには基板サイズに合わせたフォトリソマスクが必要であった。即ち、同じ薄膜トランジスタ構造をもつパネルでも、対角サイズが異なれば、対角サイズに合わせたマスクをつくり直す必要がある。しかし、本発明の薄膜トランジスタでは、表示面積に併せてフォトリソマスクをつくり直す必要はない。例えば図9に示すように、スイッチング素子51の部分に選択的にレジストパターンを形成したい場合、図10に示すようなスリットを設けた露光機が必要だけである。

【0025】以下にパターニングプロセスを具体的に説明する。金属線および金属線を被覆している膜の上にレジストを塗布し、図10に示すパイプ61に薄膜トランジスタを形成する金属線62を通す。このパイプ61には図10に示すようなスリットが形成されている。露光が必要な部分で金属線62を固定し、スリット部分に露光光63を照射する。金属線62を順次送り、所望の部分を露光していく。この様なスリットを複数個具備した露光装置であれば、一括して露光ができるので効率上がる。この作業を繰り返せば、薄膜トランジスタのパターニングは金属線に沿って複数個作成することが可能となる。薄膜トランジスタの構造が決定されれば、使用されるパネルサイズ合わせ、マスクを作成する必要はない。更に、チャネル長の変更など、パターン形状を変更する場合、スリット幅を変更するだけで良い。例えば、薄膜トランジスタのチャネル長を短くしたい場合、スリット幅を短縮するだけで対応することができる。

【0026】エッチング、現像などのウェットプロセスは図11に示すように容易に連続的に行う事が出来る。エッチャント71が満たされた槽の中に薄膜トランジスタが形成されている金属線72を順次通すことでエッチングを連続的に行うことができる。更に洗浄も同様に水槽を通れば良い。または、図12に示す様にシャワー内を通る事にしても良い。

【0027】この様に、本発明薄膜トランジスタは、使用する基板とは独立したロールとして作成することができる事が特徴である。従って、液晶表示装置に限らず、薄膜トランジスタのアレイが必要なデバイス製造の生産性を向上することができる。特に、成膜温度に関して制限が広がる事が特徴である。

【0028】（発明の実施の形態3）薄膜トランジスタの断面図を図16に示す。半導体層93上にチャネル

保護膜層 94 が形成されている事が特徴である。チャネル保護層 94 が形成されている事で、半導体層 93 を薄層化することが可能になる。図 16 において、コンタクト層をエッチングし、コンタクト層 95 と金属電極で構成されるソース・ドレイン領域 97 を形成するにあたり、コンタクト層 95 を $n+a-Si:H$ 、半導体層 93 を $a-Si:H$ 等にした場合、エッチングの選択性がない為に $a-Si:H$ 膜厚を厚くする必要があった。このために、スループットが低下するという問題があった。 $n+a-Si:H$ に対して選択性が高い膜を使用すれば、半導体層の薄層化を実現することができる。

【0029】図 13～図 17 に具体的な製造方法を説明する。針金 91 上にゲート絶縁膜 92、半導体層 93、チャネル保護層 94 を堆積させる。針金として、Cu、Al、W、Ta、Au 線等を用いる。ゲート絶縁膜として、シリコン酸化膜、シリコン窒化膜またはこれらの積層膜や針金金属の陽極酸化膜を用いる。半導体層として $a-Si:H$ 、ポリシリコン等を用いる。チャネル保護層としてシリコン酸化膜、シリコン窒化膜等を用いる。

【0030】次に、チャネル保護層を図 15 に示す様にパターンニングする。このパターンの大きさが薄膜トランジスタのチャネル長およびチャネル幅を決定する。パターンニング後にコンタクト層 95、例えば P をドーピングした $n+a-Si:H$ や微結晶シリコンを堆積させる（図 16）。

【0031】続けてソース・ドレイン電極材料 96 を堆積する。電極材料として Mo、Al またはこれらの積層膜を用いれば良い。最後に、図 17 の様に電極材料 96 をパターンニングし、形成されたパターンをマスクに半導体層 93 およびコンタクト層 95 をエッチングし素子分離を行う。次に、ソース・ドレイン金属 96 にギャップ 1 を形成し、ソース・ドレイン電極をマスクとしてコンタクト層 95 をエッチングする。以上の様に図 17 (a)、(b) に示す薄膜トランジスタを得ることができる。

【0032】

【発明の効果】薄膜トランジスタを導電性線材料に形成し、薄膜トランジスタのロールを作成することができ、低コストかがはかれる。更に、この事によって使用可能な基板材料の範囲が広がり、更に、冗長性、生産性が向上する。また、高温プロセスを適用できるように従来の低温プロセスに比べ、素子特性を良好にすることができ

る。

【図面の簡単な説明】

【図 1】従来の液晶表示装置の画素分の平面図

【図 2】従来の液晶表示装置の画素分の断面図

【図 3】本発明の実施の形態 1 の薄膜トランジスタの断面図

【図 4】本発明の実施の形態 1 の薄膜トランジスタの断面図

【図 5】本発明の実施の形態 1 の薄膜トランジスタの断面図

【図 6】本発明の実施の形態 1 の薄膜トランジスタの断面図

【図 7】本発明の実施の形態 2 のアレイ基板の薄膜トランジスタの斜視図

【図 8】本発明の実施の形態 2 の薄膜トランジスタの製造工程を示した断面図

【図 9】本発明の実施の形態 2 を説明する図

【図 10】本発明の実施の形態の薄膜トランジスタ製造に用いる露光方法説明図

【図 11】本発明の実施の形態の製造方法を説明する図

【図 12】本発明の実施の形態の製造方法を説明する図

【図 13】本発明の実施の形態 3 の薄膜トランジスタの断面図

【図 14】本発明の実施の形態 3 の薄膜トランジスタの断面図

【図 15】本発明の実施の形態 3 の薄膜トランジスタの断面図

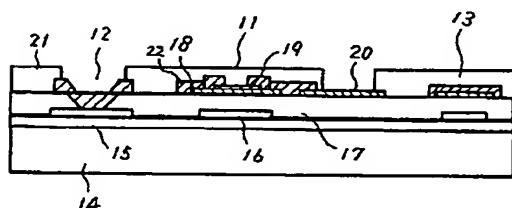
【図 16】本発明の実施の形態 3 の薄膜トランジスタの断面図

【図 17】本発明の実施の形態 3 の薄膜トランジスタの断面図

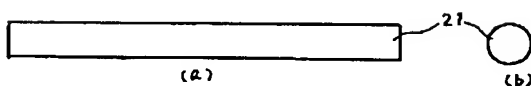
【符号の説明】

- 21 導電性の金属線
- 22 ゲート絶縁膜
- 23 半導体層
- 24 コンタクト層
- 25 ソース・ドレイン電極材料
- 26 レジスト
- 27、28 ソース・ドレイン領域

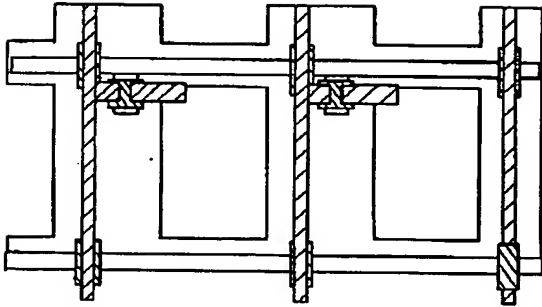
【図 2】



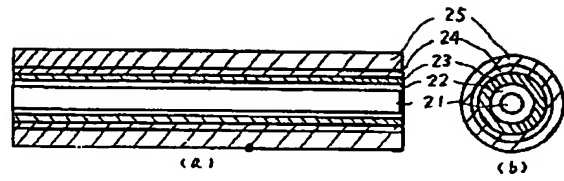
【図 3】



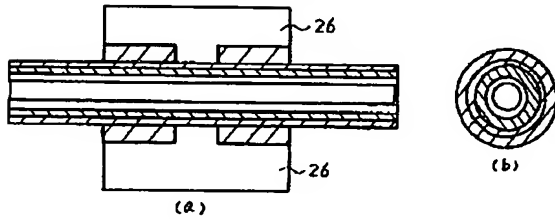
【図1】



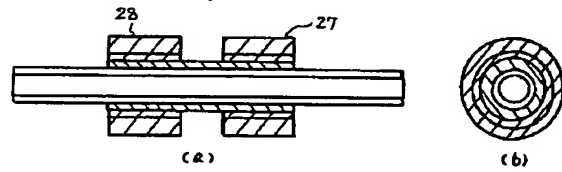
【図4】



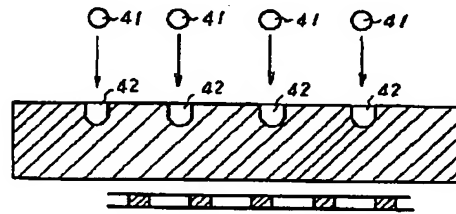
【図5】



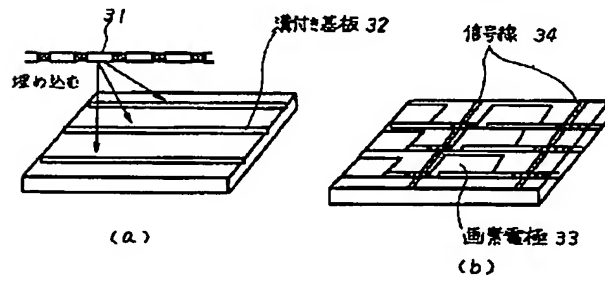
【図6】



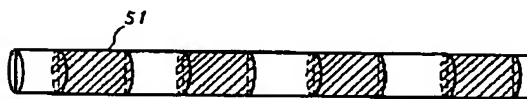
【図8】



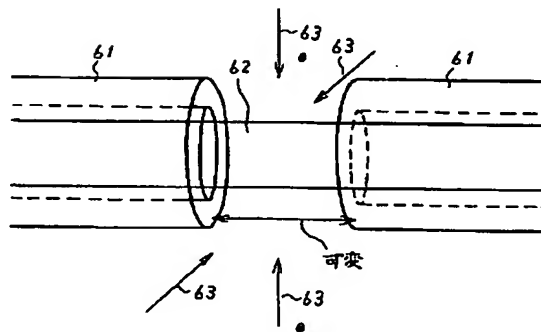
【図7】



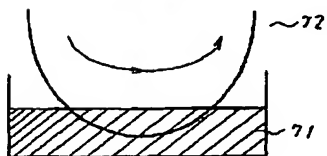
【図9】



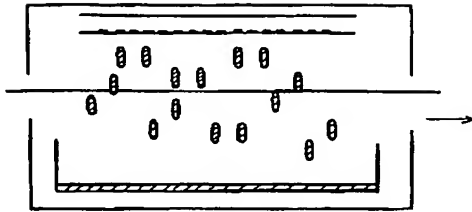
【図10】



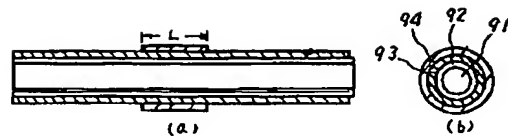
【図11】



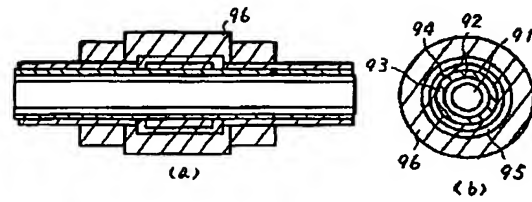
【図 12】



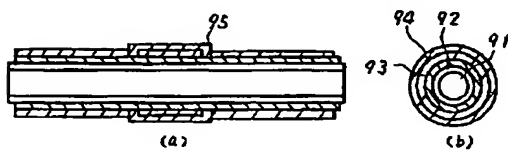
【図 13】



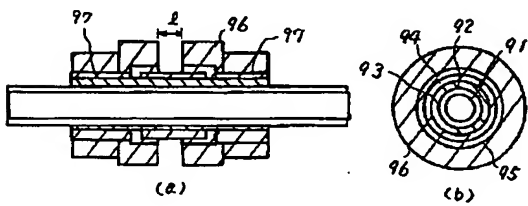
【図 15】



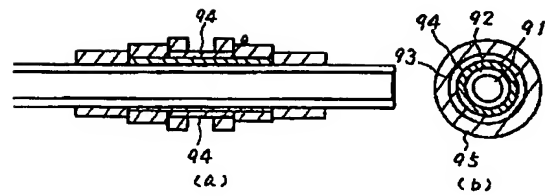
【図 14】



【図 16】



【図 17】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.